

用不同敏化方法提高超速测试的故障覆盖率

魏建龙 邝继顺

(湖南大学信息科学与工程学院 长沙 410082)

摘 要 面向小时延缺陷(small delay detect, SDDs)的测试产生方法不仅要求测试产生算法复杂度低,还要尽可能地检测到小时延缺陷。超速测试避免了因测试最长敏化通路而带来的测试效率过低的问题,而且它要求测试向量按敏化通路时延进行分组,对每组分配一个合适的超速测试频率,再采用一种可快速、准确选择特定长度的路径选择方法来有效地提高测试质量。同时,文中首次通过优先选用单通路敏化标准对短通路进行检测,对关键通路有选择地进行非强健测试,相对采用单一的敏化方法,能以很小的时间代价提高含有小时延缺陷的结点的跳变时延故障覆盖率(TDF)。在 ISCAS'89 基准电路中对小时延缺陷的检测结果表明:用不同敏化方法进行测试产生,能在低的 CPU 时间里取得更高的跳变时延故障覆盖率。

关键词 小时延缺陷,单通路敏化,非强健测试,跳变时延故障覆盖率,超速测试

中图法分类号 TP306 **文献标识码** A

Improving Fault Coverage by Adopting Different Sensitization Criterion for Faster Than At-Speed Testing

WEI Jian-long KUANG Ji-shun

(College of Information Science and Engineering, Hunan University, Changsha 410082, China)

Abstract Test generation method for the small delay defects (SDDs) not only requires low algorithm complexity, but also more possibility to detect small delay. Faster than at-speed testing avoids to detect the longest sensitization paths for poor efficiency. It requires test patterns to be delicately classified into groups according to the delay of sensitization paths, and each group is managed to be applied at certain clock frequency. Then it adopts a path selection method to identify a certain length of paths quickly and accurately, which can achieve high test quality. At the same time, the paper firstly proposed that choosing single path sensitization criterion for short paths and nonrobust sensitization criterion for the critical paths to test can improve transition delay fault coverage (TDF) of the nodes which contain small delay defects at the cost of a little of time compared with adopting single sensitization criterion. Experimental results on ISCAS'89 benchmark circuits show that the proposed method can achieve higher transition delay fault coverage of SDDs with low CPU time.

Keywords Small delay detect, Single sensitization criterion, Nonrobust test, Transition delay fault coverage, Faster than at-speed testing

1 引言

时延测试技术从 1974 年被提出^[1]到现在经历了近 40 年的发展,已经成为现代超大规模集成电路(Very Large Scale Integration, 简称 VLSI)测试中的一个重要的组成部分。然而,随着工艺尺寸的不断加深,集成电路的工作频率不断升高,芯片中与时延相关的问题越来越突出^[2]。这些与时延相关的问题在超深亚微米工艺及纳米工艺条件下主要表现为通路信号传播时延的不确定性,即时延偏差(delay variation)。所以,面向时延偏差的测试生成方法研究是目前备受学术界和工业界关注的重大课题。在时延偏差中,金属互连线很容易产生阻性开路与短路的缺陷,这种缺陷通常被称为小时延缺陷,它一般不会影响芯片的正常功能,但会影响芯片的可靠

性以及使用寿命。当芯片的可靠性为第一考虑因素时,这种缺陷就必须在早期被检测出来。

为了提高小时延缺陷的 TDF 覆盖率,本文第 2 节概述了与论文研究相关的一些工作,并解释了在超速测试中采用单通路敏化标准与非强健测试标准进行通路敏化的原因;第 3 节针对第 2 节提出的方法,简述了测试产生流程;第 4 节根据第 3 节的测试产生流程,重点介绍了测试产生过程中的几个关键步骤:静态定时分析、关键通路判断与通路选择方法;第 5 节给出相关实验结果并进行数据对比;最后对全文进行总结,并提出下一步工作。

2 方法概论

要进行高质量的小时延测试,需要激发一个跳变,并使得

到稿日期:2013-09-17 返修日期:2013-11-21 本文受国家自然科学基金项目(60673085,60773207)资助。

魏建龙(1987—),男,硕士生,主要研究方向为集成电路测试、小时延缺陷测试;邝继顺(1959—),男,博士,教授,博士生导师,CCF 高级会员,主要研究方向为容错计算、嵌入式等。

跳变沿着最长的通路传播。因为在短通路中小时延缺陷检测不到,所以要尽量寻找可敏化的长通路进行小时延检测。目前对小时延缺陷的检测大多基于跳变故障模型(Transition Fault, TF),即已知定时的自动测试产生方法(automatic test pattern generation based an TF, TF-ATPG)^[3-8],并在测试产生过程中增加定时信息,使故障效应沿着最长的通路传播。然而,TF-ATPG 的运行时间是传统的 ATPG 的运行时间的 20 多倍。

另外一种高质量的测试生成方法是超速测试^[9-11],即通过缩短测试时钟周期,使测试时延约束更严格,避免小时延的漏测。超速测试时钟周期可以由通路时延的期望值来定,这样对小时延的测试效果有一个质的提高。但超速测试需要考虑测试功耗、测试频率提供以及过度测试问题。

测试向量按通路时延进行分组的测试是对电路进行静态定时分析,得出每条通路的时延,把时延接近的通路分为一组,按每组通路的时延期望值给定合适的超速测试频率,这样能减轻超速测试中因过度测试带来的良率损失问题。分组的粒度要考虑测试功耗与测试频率提供,一般是分组粒度越细,小时延缺陷的检测效果越好,同样,测试功耗也将越大。而能提高测试频率的电路能提高系统工作频率 2~5 倍(后面的工作假定为 5 倍),所以综合考虑,采用 5 个超速测试频率,每个频率测试 4 组通路。

时延故障的测试向量采用双向量模式 $\langle V_1, V_2 \rangle$,其中 V_1 用来初始化电路中各点的状态, V_2 则用来产生需要的跳变以激发相应的时延故障。在测试过程中,对目标故障点的激发以及传播所选取的路径就由通路敏化约束条件来制约。常用的不考虑电路时延分配的测试生成约束从强到弱依次有:单通路可敏化、强健测试、非强健测试、功能可敏化。采用的敏化条件主要有单通路敏化以及非强健测试。

单通路敏化存在的测试向量对 $\langle V_1, V_2 \rangle$ 使在原始输入端送入一个上升或者下降的跳变,使该跳变沿着某条通路传播到原始输出端,而在传播过程中,旁路输入都必须取恒定的非控制值(如与门为 1,或门为 0)。

强健测试条件则保证了下面的现象:不管电路中其他通路上的延迟如何,在被测通路的路上输入来到之前,这条通路不会存在其他方向的跳变。强健测试只要被测通路有时延缺陷,电路输出端在 V_2 的作用下跳变到正确逻辑时就一定超过了测试时钟周期的限制,从而一定发现故障的存在。

但在超速测试中,使用短通路作为待测通路,测试时钟周期由短通路决定,即使是强健测试,也不可避免地存在测试失效情况,如图 1 所示。

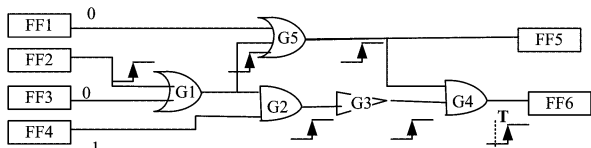


图 1 强健测试失效示意图

图 1 中 FF2-G1-G5-G4-FF6 是待测短通路,FF2-G1-G2-G3-G4-FF6 是与待测通路有相同原始输入或触发器输入(PI/PPI)和原始输出或触发器输出(PO/PPO)的旁路,也就是 FF2-G1-G5-G4-FF6 的一个强健测试向量同时也是长通路 FF2-G1-G2-G3-G4-FF6 的测试向量。但对待测通路进行测试时,

可能总是检测出有缺陷,这是因为长通路的时延大于测试时钟周期,而误认为短通路存在时延缺陷,造成了测试失效。如果采用单通路敏化标准,待测通路就是单通路不可敏化的,就能避免上述现象,从而减少良率损失。

一对测试向量 $\langle V_1, V_2 \rangle$ 为通路时延故障的一对非强健测试向量,当且仅当以下的条件都成立:

1. $\langle V_1, V_2 \rangle$ 在通路的输入上产生相应的跳变。
2. 当通路上的一个路上输入取任一跳变方向时,其旁路输入在 V_2 的作用下取非控制值。非强健测试约束条件下通路旁路输入的逻辑值约束如表 1 所列(X 表示在通路发生跳变的前一刻,旁路可以取任意值)。

表 1 非强健测试约束条件下通路旁路输入的逻辑值约束

门类型	通路 P 的路上输入	
	上升跳变	下降跳变
与门/与非门	X_1	X_1
或门/或非门	X_0	X_0

采用非强健测试可能会出现测试失效的情况,如图 2 所示。

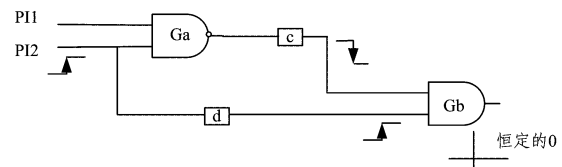


图 2 非强健测试失效示意图

图 2 中,被测通路是 PI1-Ga-c-Gb, c 是需要检测的时延缺陷,旁路 PI2-d-Gb 中存在时延缺陷 d,使得旁路的上跳变晚于待测通路的下跳变,最终使得 Gb 的输出恒定为 0,造成测试失效。这是非强健测试中旁路时延作用引起的失效,采用单通路敏化,旁路 PI2-d-Gb 为恒定的 1 就能避免测试失效。

在超速测试中对短路径采用单通路敏化标准有以下的优势:1)一般小时延缺陷检测一次只能检测出一个目标缺陷,但采用单通路敏化标准,对某条通路所产生的测试向量可以覆盖该通路上所有的缺陷。这是因为采用单通路敏化标准,一方面,旁路时延对待测通路的测试完全没有影响,能避免小时延的漏测,另一方面,也可避免上面的因测试失效而造成的良率损失情况。2)减少寻找可测性不高的长通路的工作量。3)采用单通路敏化标准,路上跳变前后,旁路都取恒定的非控制值,这样也可减少整个电路的跳变数,从而减少功耗,减轻超速测试带来的副作用。但单通路敏化标准的缺点是对旁路限制作用大,长通路基本上是单通路不可敏化的。所以对很多电路,采用单一的单通路敏化标准,并不能达到很高的故障覆盖率,如图 3 所示。

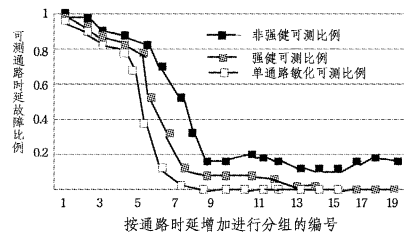


图 3 电路 S38584 可测通路时延故障比例

图 3 是在 S38584 电路中,对所有通路按时延递增分成 20 个组,分别对每组采用强健测试、非强健测试以及单通路

敏化标准测试,统计每组的可测比例。从图中可看出,在1—5的通路组中,3者可测比例差别不大,都超过80%,也就是说,在短通路中,3种敏化约束条件对通路的可测性影响差别不大。而在6—9的通路组中,3种敏化标准的可测通路比例都有一个直线下落的趋势,通路长度再增加,采用单通路以及强健测试标准基本不可测了,非强健测试标准还有将近20%的可测比例。可见,只采用单通路敏化标准还存在不足,单通路敏化标准可测的只有短通路。在超速测试中,由于单通路敏化标准的敏化难度大,难免会造成故障覆盖率损失,因此为了保证高的故障覆盖率,在静态定时分析后,可以求得电路中所有的关键路径,对部分关键路径进行非强健测试就能提高故障覆盖率。所以本文优先采用单通路敏化标准对短通路进行检测,对在短通路中不可测的缺陷,选择长的关键通路进行非强健测试,以保障故障覆盖率。

3 测试流程

测试流程:首先对电路做静态定时分析,得出电路中逻辑门节点、金属互连线、通路(从PI/PPI到PO/PPO的一段物理通路)的相关信息,再以整个时序边组成的跳变时延故障TDF集合为种子(为方便计算,把下跳变与上跳变等同处理),进行路径选择,寻找到某条经过目标故障点的通路,使其相对于给定的超速测试时钟周期的时延余量值最小,然后结合敏化标准进行测试产生。优先选择单通路敏化标准对非关键路径进行测试产生。一旦测试产生成功,就把该条通路上所有的逻辑门标记为已检测,并从TDF集合中删除这些结点。再另选一TDF进行路径选择与测试产生,一直到所有的TDF遍历完毕。

测试流程如图4所示。

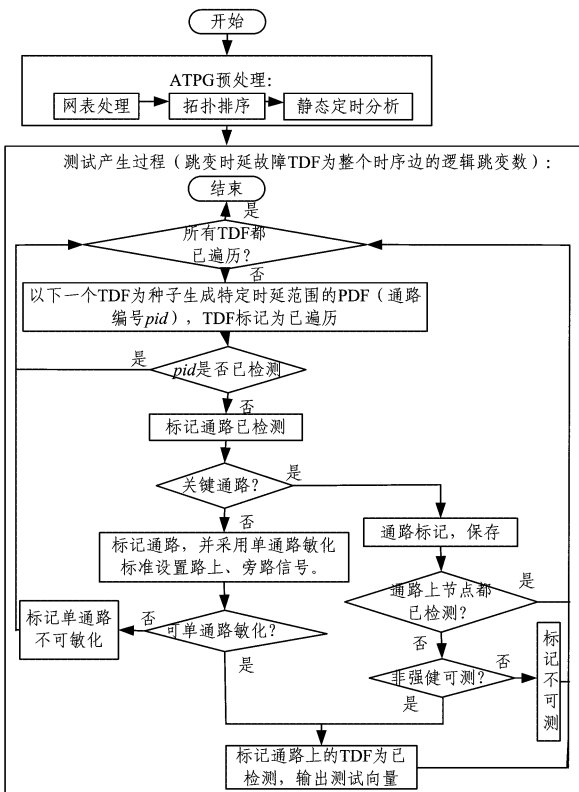


图4 测试流程图

在测试产生过程中,灵活运用了文献[12]中FAN算法里面的蕴含(implication)、多路回退(multiple backtrace)、回

溯(backtracking)等技术,使得测试产生效率更高。

4 静态定时分析与可测路径选择

4.1 静态定时分析

静态定时分析可以分为基于通路与基于结点(金属互连线)两种,考虑到通路数目与结点数目呈指数增长的关系,基于通路的静态定时分析算法复杂度大,文章采用目前大多数研究所采用的方法——基于结点的静态定时分析。基于结点的静态定时分析方法是把电路等效成有向无环图,通过拓扑排序求得结点的相关属性值,用于路径的选择过程,对每个结点定义了以下几个属性($maxdelay$ 为整个电路最长通路时延):

T_{in_min} :从输入(PI/PPI)到当前边的最早到达时间。

T_{in_max} :从输入(PI/PPI)到当前边的最迟到达时间。

T_{out_min} :从当前边到输出(PO/PPO)的最早达到时间,包含当前边时延。

T_{out_max} :从当前边到输出(PO/PPO)的最迟到达时延,包含当前边时延。

$Slackmin$:经过当前边的最长通路时延,它的值等于 $max\ delay - T_{in_max} - T_{out_max}$ 。

$Slackmax$:经过当前边的最短通路时延,它的值等于 $max\ delay - T_{in_min} - T_{out_min}$ 。

为了方便计算,对整个电路的通路进行了编号。因此,对每个逻辑门节点定义了变量 npp ,记录从该节点到PO/PPO有多少条路径,对每条互连线定义一个通路标记符,通过这个通路标记符可以计算整个电路的通路数,也可查找指定的通路以及计算该通路的时延,如图5所示。

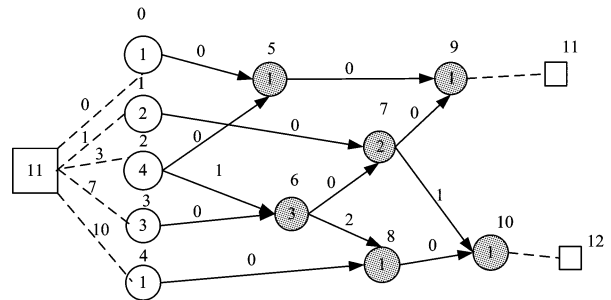


图5 c17电路的元素结构图

图中圆圈代表逻辑门节点,圈内或方框内数字是 npp ,圆圈上数字代表节点编号,线段上数字代表线段的通路标记符,为方便计算,把输入端输出端也看成电路中的节点,如图中节点0至节点4,输入端的通路标记符就是起始标记符。某通路的编号就是该通路输入端的起始标记符加上该通路所经过的所有线段的通路标记符。

4.2 关键路径判定

与文献[11]相比,本文增加了一个关键通路判定过程,判断标准为当一条时序边满足最小需求时间 T_{req_min} 等于当前边的最迟到达时间 T_{in_max} 时,其判定为关键边,由关键边组成的通路就是关键通路。 T_{req_min} 为从PI/PPI到达当前边的最小需求时间,它的值等于 $max\ delay - T_{out_max}$ 。该方法简单有效,而且寻找的关键通路为最长通路。在采用单通路敏化标准对大部分短路径进行测试后,对剩余的缺陷,有选择地对关键通路进行非强健测试。

4.3 通路选择方法

采用通路时延故障模型的缺点在于,电路中的通路时延

故障数与电路的规模呈指数率增长,因此通路选择算法必须能够很好地处理这个问题。为了控制算法复杂度,本文所采取的方法是选择一个单通路可敏化的通路时延故障(path delay fault, PDF) 集合去覆盖电路中尽可能多的 TDF,对剩余的少部分 TDF 寻找关键通路进行非强健测试。由于一个 PDF 可以看成是由多个 TDF 所组成,因此该方法以一个未被覆盖的 TDF 为种子,向输入/输出方向生长直到生成一个完整的 PDF。种子 TDF 生长过程中形成的子通路被称为通路躯干(path stem),在通路躯干生长过程中希望能够有效控制最终生成的 PDF 的长度,使之落在给定的区间内。这些给定的区间的大小和宽度可以根据用户应用所能提供的测试频率来设置,一种合适的设置方法能使找出的可测通路具有较高的测试质量。

如果给定一个时延余量的阈值区间 $[shldmin, shldmax]$,需要从经过一条时序边中的所有通路中选择一条时延余量落在给定阈值区间的通路,那么这条时序边余量区间与给定的阈值区间存在如图 6 所示的 3 种关系。

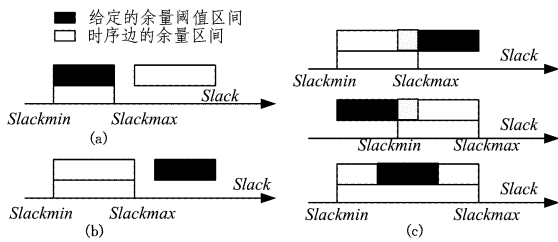


图 6 一条时序边的时延余量分析

第一种情况和第二种情况表示时序边的时延余量区间与给定的阈值区间没有交集,在通路选择过程中,这条边不会被选择。而第三种情况,该边的时延余量区间与给定的阈值区间有交集,可以选择。

以 TDF 为种子生成 PDF 的过程是:首先以 TDF 为种子,通过选择合适的扇入扇出边来实现生长过程,种子 TDF 生长过程中形成的子通路称为通路躯干,当通路躯干选择一个扇入边后,这个被选择的扇入边称为新通路躯干的头部,当通路躯干选择一个扇出边后,这个被选择的扇出边被称为新通路躯干的尾部。在通路生长过程中,通路躯干的时延余量区间逐步缩小,当它形成一条完整的 PDF 时,它的时延余量不再是一个区间,而是一个固定的值。通路选择程序所获得的最好结果是这个 PDF 的时延余量值落在给定的阈值区间内,如图 7 通路选择方法示意图所示。

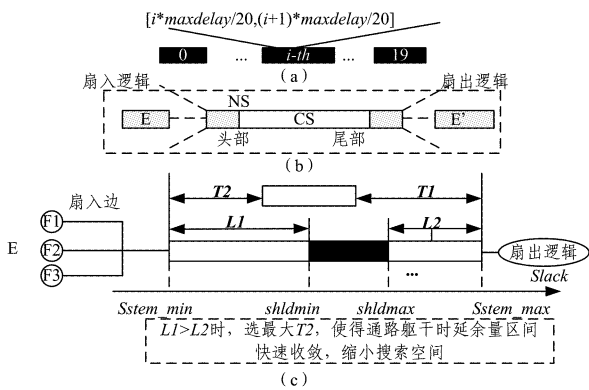


图 7 通路选择方法示意图

本文采用了 5 个超速测试频率,把所有通路按通路时延分成 20 个组,每个频率可测 4 组通路,优先选取通路时延接

近测试时钟周期的通路组。每组都可以得到一个时延余量的阈值区间 $[i * \max \text{delay}/20, (i+1) * \max \text{delay}/20]$,记为 $[shldmin, shldmax]$,如图 7(a) 所示,也就是种子故障点 TDF 的时延余量的阈值区间,时延余量阈值区间能指导路径选择过程,使得选择出来的通路落在给定的范围内。在图 7(b) 中,以种子故障点为起点,向前向后寻找扇入扇出边,每找到一个满足时延余量阈值区间的时序边,就更新通路躯干的时延余量区间,再次寻找时序边,一直到达输入输出端。假设通路生长过程中,当前通路躯干 CS 时延余量范围为 $[S_{stem_min}, S_{stem_max}]$,所选扇入边为 E ,时延为 De , E 存在 4 个属性值:最早输入到达时间 T_{in_min} 、最迟输入到达时间 T_{in_max} 、最早输出时间 T_{out_min} 、最迟输出时间 T_{out_max} 。通路躯干也存在 4 个相对应的属性值: $S_{stem_in_min}$ 、 $S_{stem_in_max}$ 、 $S_{stem_out_min}$ 、 $S_{stem_out_max}$ 。 E 成为通路躯干新的头部,通路躯干的最大时延余量值减少了 T_1 ,最小的通路时延余量值增加了 T_2 。新的躯干 NS 的通路时延余量区间变为 $[S_{stem_min} + T_2, S_{stem_max} - T_1]$,如图 7(c) 所示,其中 T_1, T_2 计算如下:

$$T_1 = E.T_{in_min} + E.De - CS.S_{stem_in_min} \quad (1)$$

$$T_2 = CS.S_{stem_in_max} - E.T_{in_max} - E.De \quad (2)$$

同样地,选的是扇出点 E' 时,新通路躯干 NS 时延余量区间变为 $[S'_{stem_min} + T_2', S'_{stem_max} - T_1']$,其中 T_1', T_2' 计算如下:

$$T_1' = CS.S'_{stem_out_max} - E'.De - E'.T_{out_max} \quad (3)$$

$$T_2' = CS.S'_{stem_out_min} + E'.De - E'.T_{out_min} \quad (4)$$

当有多条扇入/扇出边时,为了选择合适的扇入/扇出边,定义了 L_1, L_2 两个变量:

$$L_1 = shldmin - CS.S_{stem_min} \quad (5)$$

$$L_2 = CS.S_{stem_max} - shldmax \quad (6)$$

$$NS.S_{stem_max} = CS.S_{stem_max} - T_1 \geq shldmin \quad (7)$$

$$NS.S_{stem_min} = CS.S_{stem_min} + T_2 \leq shldmax \quad (8)$$

当 $L_1 > L_2$ 且被选边的 T_1 满足等式(7)时,应选择一条最大化 T_2 的扇入边,这样就能保证新通路躯干的余量区间与给定的余量阈值区间有部分重叠,而且使得通路躯干的时延余量区间快速收敛,缩小搜索空间。同样地,当 $L_2 \geq L_1$ 时,应选择一条最大化 T_1 的扇入边。当上面两种情况都不满足时,另外再选一条通路,对于扇出边同样选择。

5 实验数据

本文针对增强型扫描 ISCAS'89 基准电路进行了实验,整个测试产生程序用 C 语言实现,运行在一台 2.31GHz,2GB 内存的 PC 机上。在静态定时分析过程中不同门类型的时延期望值与标准差如表 2 所列。

表 2 基准电路中不同门类型的时延期望值与标准差

门的类型	门的时延期望值(μ)	门的时延标准差(σ)
BUFF	4	0.3
INV	2	0.2
NOR, NAND(g_i)	g_{i+1}	0.3
OR, AND(g_i)	g_{i+2}	0.3

将本文的实验数据与采用已知定时的测试产生^[13]以及超速测试中采用单通路敏化标准进行的测试产生^[11]所得到的数据进行了对比,对比结果如表 3 所列。表中第 1 列为基准电路名称;第 2、3 列分别为基准电路中 PDF、TDF 总数(包

(下转第 90 页)

pull techniques for ajax[C]//9th IEEE International Workshop on Web Site Evolution, 2007(WSE 2007). IEEE, 2007;15-22

- [6] 薛真真. 基于服务器推送和事件流处理技术的实时 Web 系统研究[D]. 杭州, 浙江大学, 2008;22-23
- [7] Zhou Quan, Bian Rui-xiang, Pan Yue-hun. Design of Electric Power Web System Based on Comet[C]//Second International Conference on Intelligent Computation Technology and Auto-

mation, 2009(ICICTA'09). IEEE, 2009, 3;42-45

- [8] 王海军, 张德礼. 多因素综合评价法划分征地区片方法研究[J]. 华中师范大学学报, 2006, 40(4);614-615
- [9] 李玲玲, 李凤强, 王成山. 基于模糊综合决策的配电网单相接地故障选线[J]. 电力系统及其自动化学报, 2011, 23(5);43-46
- [10] 段海彦. 基于动态调度机制的服务器推送技术研究[D]. 哈尔滨: 哈尔滨工业大学, 2011;23-24

(上接第 58 页)

含上跳变和下跳变);第 4 列为用已知定时的测试产生方法得到的 TDF 覆盖率;第 5、6 列是在超速测试中采用单通路敏化标准并选用高测试质量优先的通路选择策略得到的 TDF 覆盖率以及 CPU 运行时间。最后两列是采用不同敏化方法得到的 TDF 覆盖率以及 CPU 运行时间,在通路选择上基本采取文献[11]的方法。在测试产生时间方面,已知定时的测试

产生方法将近传统测试产生时间的 20 倍,与后面两种方法不具有可比性。从实验数据可以看出,用不同敏化方法进行的测试虽然在测试时间方面相对文献[11]有所增加(主要是用非强健测试增加了测试产生时间),但在 TDF 平均覆盖率方面是 3 种方法中最高的,达到 86.0%,即采用不同敏化方法能以较小的时间代价提高小时延缺陷的 TDF 覆盖率。

表 3 实验数据对比

电路名称	PDF 总数	TDF 总数	文献[13]中,已知定时的测试产生的 TDF 覆盖率	文献[11]中采用单通路敏化的 TDF 覆盖率			
				TDF 覆盖率	CPU(s)	TDF 覆盖率	CPU(s)
S1423	89452	3004	85.82%	94.44%	4.00	95.02%	5.12
S5378	28092	11046	84.84%	93.13	5.28	94.83%	5.88
S9234	489708	18968	81.30%	68.41%	20.4	75.60%	26.35
S13207	2690738	27938	79.62%	83.89%	38.59	85.84%	52.20
S15850	329467092	33062	70.26%	79.21%	212	79.08%	270
S35932	394282	75320	82.10%	61.22%	576	74.32	615
S38417	2783158	80162	98.04%	89.70%	371.6	93.96%	442
S38584	2161446	80324	83.86%	88.04%	352	89.35%	427
平均			83.23%	82.27%		86.0%	

结束语 采用不同敏化标准进行小时延检测有以下优点:(1)采用高效的可达通路选择方法以及 fan 算法里面的相关技术,使得测试产生效率高。(2)采用超速测试,并对路径进行分组,选取通路时延接近于给定测试时钟周期的通路组进行测试,能保证测试质量。(3)根据路径长短以及被敏化的可能性高低来选取合适的敏化标准,能提高小时延的 TDF 覆盖率。

在本文工作基础上,可以朝下面几个方向继续深化:(1)研究更接近电路真实时延的统计定时分析方法;(2)在统计定时分析方法基础上,研究针对特定时延影响因素的故障模型和测试产生方法,以提高测试质量;(3)研究高效率测试产生算法。

参 考 文 献

- [1] Breuer M A. The effect of races, delays and delay faults on test generation[J]. IEEE Transactions on Computers, 1974, 22(10); 1078-1092
- [2] <http://www.itrs.net/Links/2008ITRS/Home2008.htm>
- [3] Qiu W, Wang J, Walker D M H, et al. K longest paths per gate (KLPG) test generation for scan-based sequential circuits[C]// Proc. Int. Test Conf. (ITC). 2004;223-231
- [4] Sato Y, Hamada S, Maeda T, et al. Invisible delay quality-SDQL model lights up what could not be seen[C]// Proc. Int. Test Conf. (ITC). 2005;47
- [5] Kajihara S, Morishima S, Takuma A, et al. A framework of high-

- quality transition fault ATPG for scan circuits[C]//Proc. Int. Test Conf. (ITC). 2006
- [6] Shao Y, Pomeranz I, Reddy S M. On generating high quality tests for transition faults[C]//Proc. Asian Test Symp(ATS). 2002;1-8
- [7] Lin X, Tsai K, Wang C, et al. Timing-aware ATPG for high quality at-speed testing of small delay defects[C]//Proc. Asian Test Symp. (ATS). 2006;139-146
- [8] 王杰,李华伟,梁华国. 针对小时延缺陷的时延测试方法综述[C]//第十三届全国容错计算学术会议. 2009;383-390
- [9] Lee B N, Wang L C, Abadir M S. Reducing pattern delay variations for screening frequency dependent defects[C]//Proc. VLSI Test Symp. (VTS). 2005;153-160
- [10] Ahmed N, Tehranipoor M. A novel faster-than-at-speed transition-delay test method considering IR-drop effects[J]. IEEE Trans. Comput.-Aided Design (CAD) Integr. Circuits Syst., 2009, 28(10);1573-1582
- [11] Fu Xiang, Li Hua-wei, Li Xiao-wei. Testable Path Selection and Grouping for Faster Than At-Speed Testing[J]. IEEE Trans. on VLSI Systems, 2012, 20(2);236-247
- [12] Fujiwara H, Shimono T. On the Acceleration of Test Pattern Algorithms[J]. IEEE Transactions on Computers, 1983, 32(12);1137-1144
- [13] Kajihara S, Morishima S, Takuma A, et al. A framework of high-quality transition fault ATPG for scan circuits, [C]// Proceedings IEEE of International Test Conference(ITC). 2006;2